República Bolivariana de Venezuela

Universidad de Carabobo

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica y de Telecomunicaciones

Departamento de Sistemas y Automática

Cátedra de Lógica Digital

**Práctica # 5 – Sesión #01**

**Objetivo: Diseñar e implementar circuitos lógicos secuenciales a partir de diagramas de estados, utilizando VHDL y la tarjeta de desarrollo BASYS2**

Sección #05 de Laboratorio

**Integrantes:**

Carlos Hernández

C.I.: 25.829.471

Gianfranco Gasbarri

C.I.: 26.654.860

Fecha de entrega: 30/04/19

**Pre-Laboratorio**

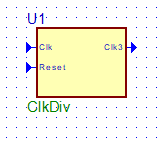
1. **Actividad 1:** Ver **Anexo 1**

ANEXOS

**Anexo 1**

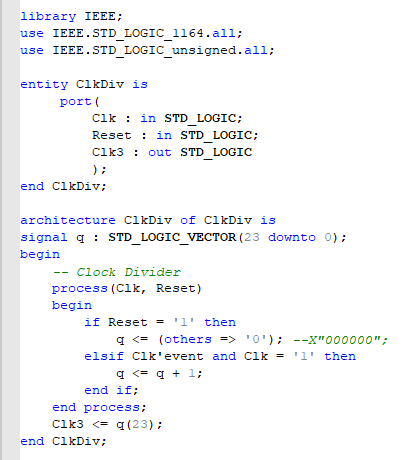
**Anexo 1.1**

**Símbolo del componente**



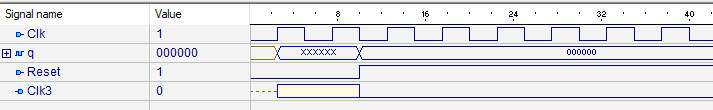
**Anexo 1.2**

**Código VHDL**



**Anexo 1.3**

**Simulación**



**Anexo 2**

**Anexo 2.1**

**Diagrama de Caja Negra**

**X**

**clk**

**Secuencias**

**T**