República Bolivariana de Venezuela

Universidad de Carabobo

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica y de Telecomunicaciones

Departamento de Sistemas y Automática

Cátedra de Lógica Digital

**Práctica # 5 – Sesión #01**

**Objetivo: Diseñar e implementar circuitos lógicos secuenciales a partir de diagramas de estados, utilizando VHDL y la tarjeta de desarrollo BASYS2**

Sección #05 de Laboratorio

**Integrantes:**

Carlos Hernández

C.I.: 25.829.471

Gianfranco Gasbarri

C.I.: 26.654.860

Fecha de entrega: 30/04/19

**Pre-Laboratorio**

1. **Actividad 1:** Ver **Anexo 1**

**Laboratorio**

**Conclusiones**

En la presente práctica se comenzó a trabajar con los circuitos secuenciales en el entorno de desarrollo Active-HDL. Lo primero que se puede destacar son las diferencias que tienen éstos con respecto a los circuitos combinacionales estudiados con anterioridad. Estos últimos se caracterizaban por recibir un conjunto de entradas y realizar una serie de tareas, invariantes en el tiempo, para producir unas salidas. Estas salidas dependían únicamente a las entradas. Esta característica cambia cuando tratamos los circuitos secuenciales, puesto que las salidas del mismo van a dejar de depender únicamente de las entradas, sino también del estado actual del sistema.

En el problema planteado en la práctica, se presentaban 2 secuencias de números las cuales variaban de acuerdo a la señal de entrada **X**. Se definieron los estados como cada una de las diferentes combinaciones de números en ambas secuencias, dando como resultado 8 estados diferentes; lo cual representaba la necesidad de usar **3** Flip-Flops si diseñáramos el sistema físicamente. Como el cambio de un número a otro viene determinado por el valor de la salida **X**, el cambio de estados será llevado a cabo por el mismo evento.

Se utilizó un componente llamado **ClkDiv**, cuya función era reducir drásticamente la frecuencia de entrada. Cuando el sistema diseñado se implementó con la frecuencia propia de la tarjeta **BASYS2**, no se pudo observar como variaban las señales de salida a lo largo del tiempo, simplemente se observaban encendidos los **LEDs** correspondientes. Sin embargo, al emplear el componente anterior, sí se pudo observar como variaban las salidas de acuerdo al comportamiento esperado en el diseño.

Este fenómeno se debe a que la frecuencia emitida por la tarjeta era de 50MHz, la cual es muy alta para el ojo humano. En contraste, el componente **ClkDiv** transformó dicho valor en 3Hz, lo cual permitía observar variaciones de las señales cada 0,34 segundos.

El componente **Secuencias** emite 4 señales de salida: ,, y **T**. Las primeras 3 de ellas son salidas que dependen únicamente del estado en el que se encuentra el sistema, por lo tanto son salidas de tipo **Moore**, mientras que la señal **T,** además de depender del estado, es controlada por la activación o no de la entrada **P**. En conclusión, la misma es una salida de tipo **Mealy**.

El diseño de la práctica se realizó de manera metódica, tal cual debe seguirse con cualquier circuito secuencial que se desee implementar. En primer lugar, debe haber una fase de **análisis del problema**, el cual consta de definir entradas, salidas y estados, componentes **Flip-Flops** a utilizar, consideraciones sobre si las salidas son activo alto o bajo, entre otras actividades. Luego, se debe proceder a realizar un **diagrama de estados** en base a todas las consideraciones realizadas en la fase anterior. Utilizando el diseño con diagramas que nos proporciona el Active-HDL, el problema llegaba hasta este paso puesto que el software se encarga de interpretar la información y producir el comportamiento.

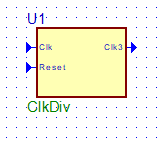
A continuación, se debe construir la **tabla de flujo** representativa del diagrama anterior. Con la misma, procedemos a obtener las expresiones lógicas correspondientes al **codificador de entradas**, **la memoria de estados** y **el decodificador de salidas** empleando el método de **simplificación con Mapas de Karnaugh**.

ANEXOS

**Anexo 1**

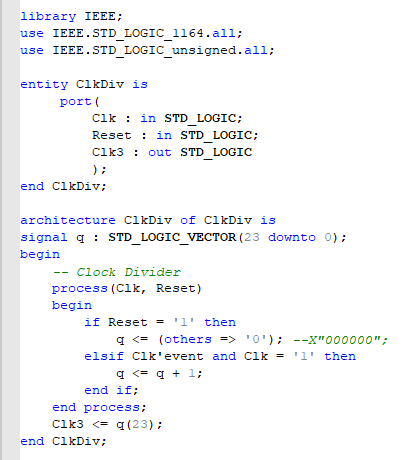
**Anexo 1.1**

**Símbolo del componente**



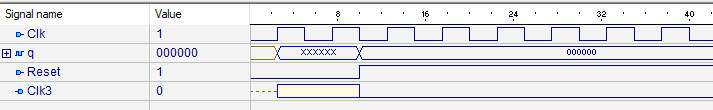
**Anexo 1.2**

**Código VHDL**



**Anexo 1.3**

**Simulación**



**Anexo 2**

**Anexo 2.1**

**Diagrama de Caja Negra**

**X**

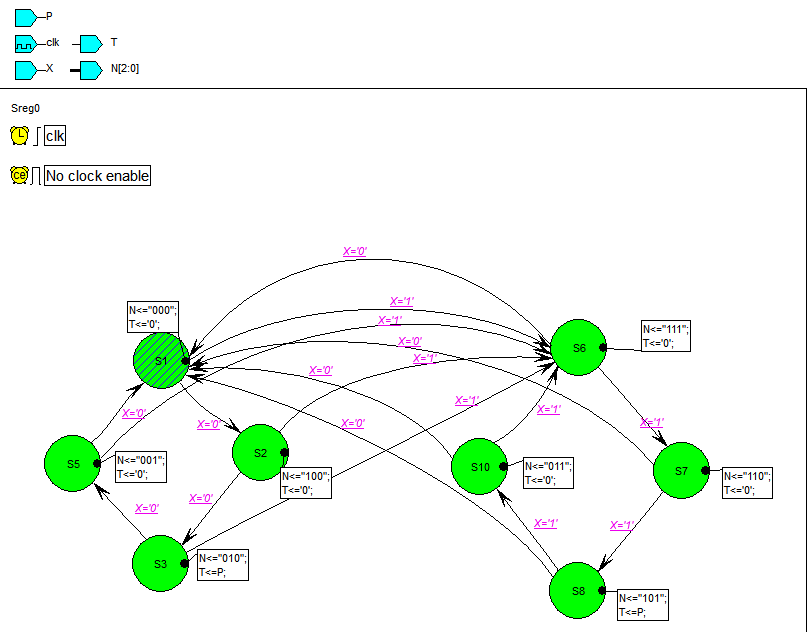
**clk**

**Secuencias**

**T**

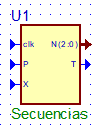
**Anexo 2.2**

**Diagrama FSM**



**Anexo 2.3**

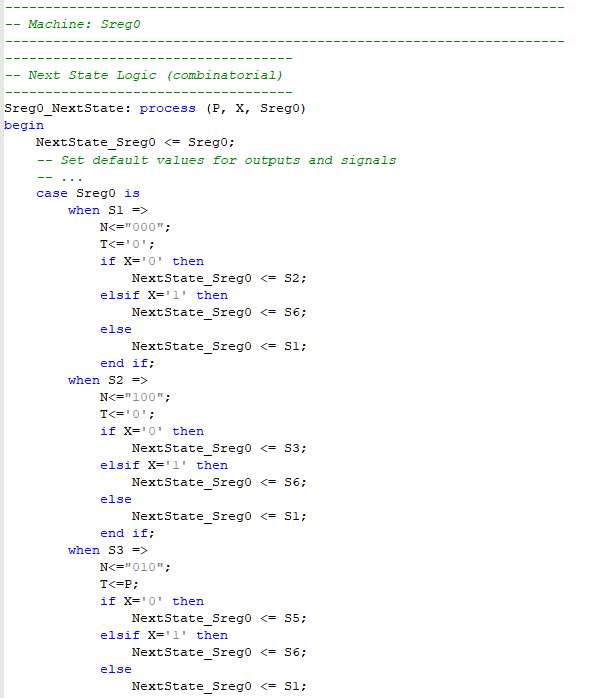
**Símbolo**

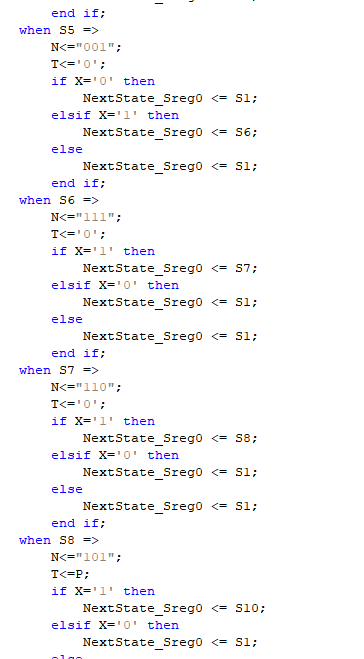


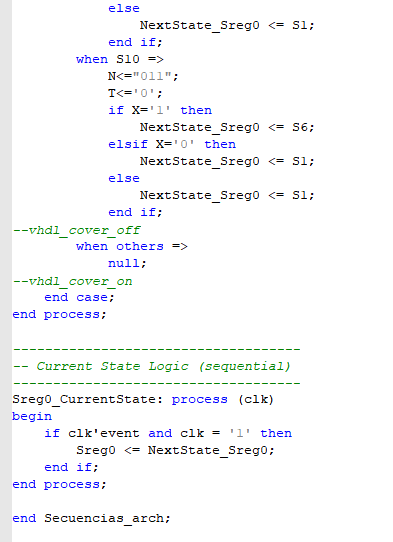
**Anexo 2.4**

**Código VHDL**







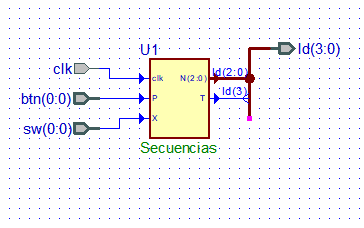


**Anexo 3**

**Secuencias\_Top**

**Anexo 3.1**

**Diseño de alto nivel**



**Anexo 3.2**

**Código VHDL**

